

# LIQUID CRYSTAL DISPLAY DEVICE

**Patent number:** JP2001067048  
**Publication date:** 2001-03-16  
**Inventor:** GOTO MITSURU; NAKAYASU YOZO; YASUKAWA SHINJI; AGATA KENTARO; YAMASHITA YUJI; KODERA KOICHI  
**Applicant:** HITACHI LTD;; HITACHI DEVICE ENG CO LTD;; HITACHI ULSI SYSTEMS CO LTD  
**Classification:**  
- international: G09G3/36; G02F1/133; G09G3/20  
- european:  
**Application number:** JP19990244245 19990831  
**Priority number(s):**

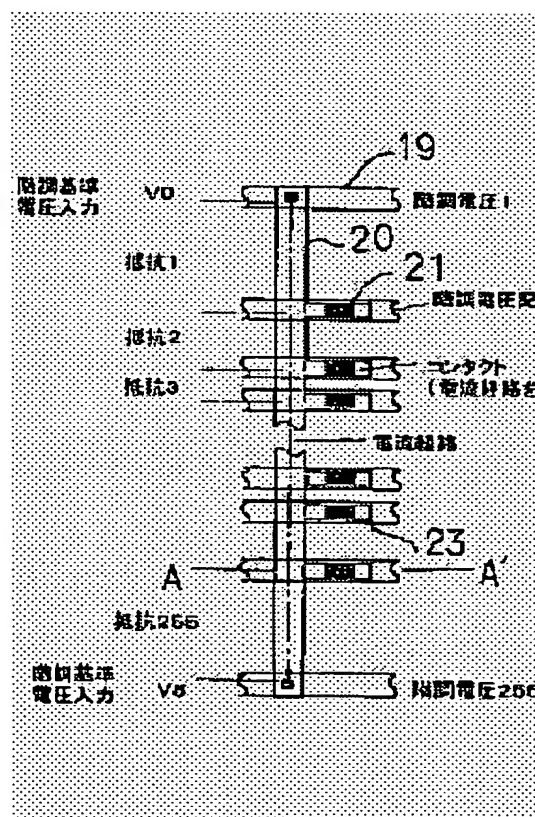
**Also published**



## Abstract of JP2001067048

**PROBLEM TO BE SOLVED:** To improve display quality on a display screen displayed on a liquid crystal display panel, by providing a connecting portion for connecting each gradation voltage wiring layer to a resistance wiring layer, and disposing the connecting portion in a portion other than a current route of the resistance wiring layer.

**SOLUTION:** Projections 23 are provided on a resistance wiring layer 20, and a contact hole 21 for connecting a gradation voltage wiring layer 19 to the resistance wiring layer 20 is formed in each projection 23. The contact hole 21 is formed not of a current route of the resistance wiring layer 20. The normal current flowing in a resistance potential dividing circuit flows through a shortest route in the resistance wiring layer 20, and does not flow through the projection 23 outside the resistance wiring layer 20. Because manufacturing dispersion of contact diameters of the contact holes 21 does not cause dispersion of wiring lengths of the resistance wiring layer 20, each resistance value of the resistance potential dividing circuit does not occur dispersion. Therefore, gradation voltage generated in the resistance potential dividing circuit does not occur dispersion, and display quality of a display image on a liquid crystal display panel 10 is improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-67048  
(P2001-67048A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 8 0
	6 2 3		6 2 3 B

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平11-244245  
(22) 出願日 平成11年8月31日 (1999.8.31)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71) 出願人 000233088  
日立デバイスエンジニアリング株式会社  
千葉県茂原市早野3681番地  
(71) 出願人 000233169  
株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号  
(74) 代理人 100083552  
弁理士 秋田 収喜

最終頁に続く

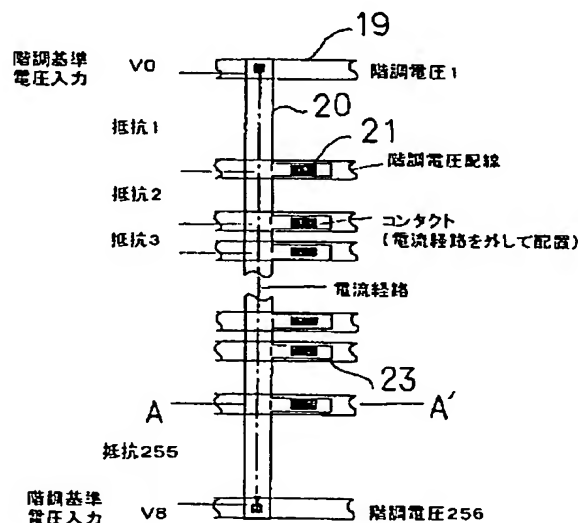
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示パネルに表示される表示画像の表示品質を向上させることができる液晶表示装置を提供する。

【解決手段】 マトリクス状に配置される複数の画素に表示データに対応する映像信号電圧を印加する複数の映像信号線を有する液晶表示素子と、各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備し、映像信号線駆動手段は、複数の階調基準電圧間を分圧して前記複数の階調電圧を生成する抵抗分圧回路を有し、抵抗分圧回路は、各階調電圧が出力される複数の階調電圧配線層と、抵抗配線層と、各階調電圧配線層と抵抗配線層とを絶縁する層間絶縁膜と、層間絶縁膜に設けられ、各階調電圧配線層と抵抗配線層とを接続する接続部とで構成され、接続部は、抵抗配線層の電流経路以外の部分に設けられる。

図 8



## 【特許請求の範囲】

【請求項1】 マトリクス状に配置される複数の画素と、

前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、  
前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像信号線駆動手段は、外部から入力される複数の階調基準電圧に基づき複数の階調電圧を生成する階調電圧生成手段と、

前記階調電圧生成手段で生成された複数の階調電圧の中から、表示データに対応する映像信号電圧を選択する選択手段とを有し、

前記階調電圧生成手段は、前記複数の階調基準電圧間を分圧して前記複数の階調電圧を生成する抵抗分圧回路を有し、

前記抵抗分圧回路は、前記各階調電圧が出力される複数の階調電圧配線層と、

抵抗配線層と、

前記各階調電圧配線層と前記抵抗配線層とを絶縁する層間絶縁膜と、

前記層間絶縁膜に設けられ、前記各階調電圧配線層と前記抵抗配線層とを接続する接続部とで構成され、

前記接続部は、前記抵抗配線層の電流経路以外の部分に設けられることを特徴とする液晶表示装置。

【請求項2】 前記抵抗配線層は、前記抵抗分圧回路の各抵抗素子を構成する部分と、

前記接続部が設けられる突出部とを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 マトリクス状に配置される複数の画素と、

前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、

前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像信号線駆動手段は、表示データに対応する映像信号電圧を増幅して前記各映像信号線に出力する複数のアンプ回路と、

前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、

前記バイアス回路のカレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと、第2の基準電源電圧が供給される第2の電源ラインとの間に接続される、第1導電型で低耐圧の第1のトランジスタ素子と、第2導電型で高耐圧の第2のトランジスタ素子と、前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続され、その制御電極に一定のバイアス電圧が印加される少なくとも1個の第1導電型のトラン

ジスタ素子からなる直列回路を有し、

前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧との間の電圧であることを特徴とする液晶表示装置。

【請求項4】 前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧とを、分圧回路により分圧した電圧であることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 マトリクス状に配置される複数の画素と、

前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、

前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像信号線駆動手段は、表示データに対応する映像信号電圧を増幅して前記各映像信号線に出力する複数のアンプ回路と、

前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、

前記バイアス回路のカレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと、第2の基準電源電圧が供給される第2の電源ラインとの間に接続される、第1導電型で低耐圧の第1のトランジスタ素子と、第2導電型で高耐圧の第2のトランジスタ素子と、前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続される少なくとも1個の第1導電型のトランジスタ素子からなる直列回路を有し、

前記少なくとも1個の第1導電型のトランジスタ素子は、その制御電極が第2の電極に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】  
【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータ、ワークステーション等に用いられる液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動回路（ドレインドライバ）に適用して有効な技術に関する。

【0002】

【従来の技術】画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（階調電圧）を印加するため、各画素間のクロストークがなく、単純マトリクス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。

【0003】このアクティブマトリクス型液晶表示装置

の1つに、TFT (Thin Film Transistor) 方式の液晶表示パネル (TFT-LCD) と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバとを備えるTFT方式の液晶表示モジュールが知られている。このTFT方式の液晶表示モジュールにおいては、ドレインドライバ内に複数の階調電圧を生成する階調電圧生成回路と、階調電圧生成回路で生成された複数の階調電圧の中から、表示データに対応する階調電圧を選択するデコーダと、デコーダで選択された階調電圧を増幅して表示データに対応する映像信号電圧として各ドレイン信号線に出力するアンプ回路と、アンプ回路内の定電流源の電流値を制御するバイアス回路とを備える。なお、このような技術は、例えば、特願平11-47885号に記載されている。

【0004】

【発明が解決しようとする課題】前記ドレインドライバ内の階調電圧生成回路は、電源回路から供給される複数の階調基準電圧間を分圧して、複数の階調電圧を生成する抵抗分圧回路を有する。前記ドレインドライバは1個の半導体集積回路 (半導体チップ) で構成されるので、前記抵抗分圧回路は、抵抗配線層と、各階調電圧が出力される複数の階調電圧配線層と、各階調電圧配線層と抵抗配線層とを絶縁する層間絶縁膜と、層間絶縁膜に設けられ各階調電圧配線層と抵抗配線層とを接続するコンタクトホールとで構成される。ここで、抵抗分圧回路の各分圧抵抗の抵抗値は、抵抗配線層の配線長 (L) / 抵抗配線層の配線幅 (W) \* 抵抗配線層のシート抵抗で決定される。しかしながら、従来のドレインドライバでは、抵抗配線層の電流経路内にコンタクトホールを形成するようにしている。この場合に、抵抗配線層の配線長 (L) は、コンタクトホールのコンタクト径の製造ばらつき等によりばらつきが生じることになる。そのため、抵抗分圧回路の各分圧抵抗の抵抗値にばらつきが生じ、それにより、抵抗分圧回路で生成される階調電圧にばらつきが生じ、液晶表示パネルに表示される表示画像の表示品質を損なわせるという問題点があった。また、抵抗配線層の電流経路内にコンタクトホールを形成するため、コンタクトホールのコンタクト面積に制限があり、コンタクト面積を小さくする必要があった。そのため、コンタクトホールの抵抗が増大し、抵抗分圧回路から後段のアンプ回路への階調電圧の伝達特性に遅延が生じるという問題点があった。

【0005】近年、TFT方式のアクティブマトリクス型液晶表示装置においては、表示パネル (TFT-LCD) の大型化、高解像度化、高画質化、低消費電力化が要望されており、さらに、ノート型パーソナルコンピュータの普及に伴い、バッテリーによる長時間駆動の必要性が高まり、液晶表示装置に対する低消費電力化が要望されている。この場合に、高画質化のためには、液晶の応

答速度向上およびコントラスト向上のため、液晶に印加する階調電圧の電圧範囲、即ち、ドレインドライバから出力する出力電圧の電圧範囲が大きいほうがよい。そのため、ドレインドライバの電源電圧 (VDD) は高電圧となっている。また、一般に、アンプ回路は、正極性の階調電圧を増幅する高電圧アンプ回路と、負極性の階調電圧を増幅する低電圧アンプ回路とで構成される。そして、この高電圧アンプ回路および低電圧アンプ回路は、差動増幅器で構成されるが、この高電圧アンプ回路および低電圧アンプ回路を構成するそれぞれの差動増幅器の各定電流源の電流値は、1つのバイアス回路によって決定されている。この場合に、バイアス回路は、ドレインドライバの電源電圧 (VDD) が高電圧であるため、高耐圧MOSトランジスタで構成する必要があった。しかしながら、高耐圧MOSトランジスタは、一般的に耐圧確保のため、ゲート酸化膜の膜厚が大きくなり、さらに、電解緩和領域が必要のため、しきい値電圧などのMOSトランジスタ素子のばらつきが、耐圧の低いMOSトランジスタに対して大きい。このため、ドレインドライバ毎に、バイアス回路から、アンプ回路を構成する差動増幅器の定電流源へ供給する電流値にばらつきが生じ、ドレインドライバを10個ほど使用する液晶表示パネルにおいては、ドレインドライバ毎に輝度むらが発生する恐れがあり、液晶表示パネルに表示される表示画像の表示品質を損なわせるという問題点があった。本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、液晶表示パネルに表示される表示画像の表示品質を向上させることが可能となる技術を提供することにある。また、本発明の他の目的は、液晶表示装置において、階調電圧生成手段で生成される各階調電圧にばらつきが生じるの防止することが可能となる技術を提供することにある。また、本発明の他の目的は、液晶表示装置において、バイアス回路内に低耐圧MOSトランジスタを使用できるようにして、アンプ回路の定電流源の電流値を各映像信号線駆動手段毎に均一にすることが可能となる技術を提供することにある。本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0007】即ち、本発明は、マトリクス状に配置される複数の画素と、前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、外部から入力される複数の階調基準電圧に基づき複数の

階調電圧を生成する階調電圧生成手段と、前記階調電圧生成手段で生成された複数の階調電圧の中から、表示データに対応する映像信号電圧を選択する選択手段とを有し、前記階調電圧生成手段は、前記複数の階調基準電圧間を分圧して前記複数の階調電圧を生成する抵抗分圧回路を有し、前記抵抗分圧回路は、前記各階調電圧が出力される複数の階調電圧配線層と、抵抗配線層と、前記各階調電圧配線層と前記抵抗配線層とを絶縁する層間絶縁膜と、前記層間絶縁膜に設けられ、前記各階調電圧配線層と前記抵抗配線層とを接続する接続部とで構成され、前記接続部は、前記抵抗配線層の電流経路以外の部分に設けられることを特徴とする。また、本発明は、前記抵抗配線層が、前記抵抗分圧回路の各抵抗素子を構成する部分と、前記接続部が設けられる突出部とを有することを特徴とする。また、本発明は、マトリクス状に配置される複数の画素と、前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、表示データに対応する映像信号電圧を増幅して前記各映像信号線に出力する複数のアンプ回路と、前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、前記バイアス回路のカレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと、第2の基準電源電圧が供給される第2の電源ラインとの間に接続される、第1導電型で低耐圧の第1のトランジスタ素子と、第2導電型で高耐圧の第2のトランジスタ素子と、前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続され、その制御電極に一定のバイアス電圧が印加される少なくとも1個の第1導電型のトランジスタ素子からなる直列回路を有し、前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧との間の電圧であることを特徴とする。また、本発明は、マトリクス状に配置される複数の画素と、前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、表示データに対応する映像信号電圧を増幅して前記各映像信号線に出力する複数のアンプ回路と、前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、前記バイアス回路のカレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと、第2の基準電源電圧が供給される第2の電源ラインとの間に接続される、第1導電型で低耐圧の第1のトランジスタ素子と、第2導電型で高耐圧の第2のトランジスタ素子と、前記第1のトランジスタ素子と前記第2のトランジスタ

素子との間に接続される少なくとも1個の第1導電型のトランジスタ素子からなる直列回路を有し、前記少なくとも1個の第1導電型のトランジスタ素子は、その制御電極が第2の電極に接続されていることを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。図1は、本発明の実施の形態のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。本実施の形態の液晶表示モジュール(LCM)は、液晶表示パネル(TFT-LCD)10の上側にドレインドライバ130が配置され、また、液晶表示パネル10の側面に、ゲートドライバ140、表示制御装置100、内部電源回路110が配置される。

【0009】図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図である。なお、図2は回路図であるが、実際の幾何学的配置に対応して描かれており、同図に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。各画素は、隣接する2本の信号線(ドレイン信号線(映像信号線または垂直信号線)(D)、または、ゲート信号線(走査信号線または水平信号線)(G)と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。各画素は薄膜トランジスタ(TFT1、TFT2)を有し、各画素の薄膜トランジスタ(TFT1、TFT2)のソース電極は、画素電極(ITO1)に接続され、画素電極(ITO1)とコモン電極(ITO2)との間に液晶層(LC)が設けられるので、薄膜トランジスタ(TFT1、TFT2)のソース電極とコモン電極(ITO2)との間には、液晶容量(CLC)が等価的に接続される。また、薄膜トランジスタ(TFT1、TFT2)のソース電極と前段のゲート信号線(G)の間には、付加容量(CADD)が接続される。

【0010】図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。図2に示す例では、前段のゲート信号線(G)とソース電極との間に付加容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(COM)とソース電極との間に保持容量(CSTG)が形成されている点が異なっている。本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線(G)パルスが付加容量(CADD)を介して画素電極(ITO1)に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。なお、図2および図3において、ARは表示領域である。

【0011】図2あるいは図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジ

スタ(TFT1, TFT2)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向に配置された画素の液晶に表示データに対応する映像信号電圧(階調電圧)を印加するドレインドライバ130に接続される。また、行方向に配置された各画素における薄膜トランジスタ(TFT1, TFT2)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、薄膜トランジスタ(TFT1, TFT2)のゲートに走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。ここで、図1に示す液晶表示パネル10は、1024×3×768画素から構成される。

【0012】表示制御装置100は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送信されてくるクロック信号、表示タイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。表示制御装置100は、表示タイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。その際、表示制御装置100は、ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(CLK2)を信号線131を介して出力する。ここで、表示データは、各色毎8ビットの24ビットで構成されている。また、表示制御装置100は、表示タイミング信号の入力が終了するか、または、表示タイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものと、ドレインドライバ130のラッチ回路に蓄えていた表示データに対応する階調電圧を、液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック(CLK1)を信号線132を介してドレインドライバ130に出力する。また、表示制御装置100は、垂直同期信号入力後に、第1番目の表示タイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号を出力する。さらに、表示制御装置100は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック(CLK3)を出力する。これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT1, TFT2)が、1水平走査時間の間導通する。以上の動作により、液晶表示パネル10に画像が表示される。

【0013】図4は、図1に示す内部電源回路110の概略構成を示すブロック図である。図4に示すように、内部電源回路110は、正電圧生成回路121、負電圧生成回路122、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正極性の9値の階調基準電圧(V0~V8)を、負電圧生成回路122は負極性の9値の階調基準電圧(V9~V17)を出力する。この正極性の階調基準電圧(V0~V8)、および負極性の階調基準電圧(V9~V17)は、各ドレインドライバ130に供給される。コモン電極電圧生成回路123はコモン電極(ITO2)に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT1, TFT2)のゲートに印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。また、各ドレインドライバ130には、表示制御装置100からの交流化信号(交流化タイミング信号; M)も供給されるが、図1では省略している。

【0014】一般に、液晶層(LC)は、長時間同じ電圧(直流電圧)が印加されていると、液晶層(LC)の傾きが固定化され、結果として残像現象を引き起こし、液晶層(LC)の寿命を縮めることになる。これを防止するために、従来の液晶表示装置においては、液晶層(LC)に印加する液晶駆動電圧をある一定時間毎に交流化、即ち、コモン電極(ITO2)の液晶駆動電圧を基準にして、画素電極(ITO1)に印加される液晶駆動電圧を、一定時間毎に正電圧側/負電圧側に变化させるようにしている。この液晶層(LC)に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。コモン反転法とは、コモン電極(ITO2)と画素電極(ITO1)に印加される電圧を共に交互に反転させる方法であり、また、コモン対称法とは、コモン電極(ITO2)に印加される電圧を一定とし、画素電極(ITO1)に印加する電圧を、コモン電極(ITO2)に印加される電圧を基準にして、交互に正、負に反転させる方法である。このコモン対称法は、画素電極(ITO1)に印加される電圧の振幅が、コモン反転法の場合に比べ2倍となり、低電圧のドライバが使用できないと言う欠点があるが、低消費電力と表示品質の点で優れているドット反転法あるいはVライン反転法が使用可能である。液晶表示モジュールにおいて、前記ドット反転法を使用することにより、隣り合うドレイン信号線(D)に印加される電圧が逆極性となるため、コモン電極(ITO2)やゲート電極(G)に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。また、コモン電極(ITO2)に流れる電流が少なく電圧降下が大きくならないため、コモン電極(ITO2)の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。



【0015】図5は、図1に示すドレインドライバ130の一例の概略構成を示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路（半導体チップ）から構成される。同図において、正極性階調電圧生成回路151は、正電圧生成回路121から入力される正極性の9値の階調基準電圧（ $V_0 \sim V_8$ ）に基づいて、正極性の256階調分の階調電圧を生成し、デコーダ回路156に出力する。負極性階調電圧生成回路152は、負電圧生成回路122から入力される負極性の9値の階調基準電圧（ $V_9 \sim V_{17}$ ）に基づいて、負極性の256階調分の階調電圧を生成し、デコーダ回路156に出力する。また、ドレインドライバ130のラッチアドレスセクタ153は、表示制御装置100から入力される表示データラッチ用クロック（CLK2）に基づいて、ラッチ回路（1）154のデータ取り込み用信号を生成し、ラッチ回路（1）154に出力する。ラッチ回路（1）154は、ラッチアドレスセクタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置100から入力される表示データラッチ用クロック（CLK2）に同期して、各色毎8ビットの表示データを出力本数分だけラッチする。ラッチ回路（2）155は、表示制御装置100から入力される出力タイミング制御用クロック（CLK1）に応じて、ラッチ回路（1）154内の表示データをラッチする。このラッチ回路（2）155に取り込まれた表示データは、レベルシフト回路を介してデコーダ回路156に入力される。デコーダ回路156は、正極性の256階調分の階調電圧、あるいは負極性の256階調分の階調電圧の中から、表示データに対応した1つの階調電圧を選択し、出力アンプ回路157に出力する。出力アンプ回路157は、入力された階調電圧を、電流増幅して各ドレイン信号線（D）に出力する。なお、図5において、バイアス回路158は、出力アンプ回路157内の定電流源の電流値を決定する。また、クロック制御回路159は、スタートパルス（EIO1, EIO2）を生成するとともに、内部タイミング信号を生成する。さらに、データ反転回路160は、ドレイン信号線（D）に印加される階調電圧が正極性が、あるいは負極性かに応じて、即ち、POL1信号、POL2信号により、入力される表示データの反転、あるいは非反転処理を行う。

【0016】図6は、図1に示す正極性階調電圧生成回路151あるいは負極性階調電圧生成回路152の回路構成を示す回路図である。なお、図6において、 $V'_0 \sim V'_8$ は、正極性あるいは負極性の9値の階調基準電圧（ $V_0 \sim V_8$ ,  $V_9 \sim V_{17}$ ）を示す。同図に示すように、階調電圧生成回路は、正極性あるいは負極性の9値の階調基準電圧（ $V_0 \sim V_8$ ,  $V_9 \sim V_{17}$ ）間を抵抗素子で分圧して、正極性あるいは負極性の256階調の階調電圧を生成する抵抗分圧回路で構成される。この場合に、各階調基準電圧間に接続される各抵抗素子の抵

抗値は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成されている。

【0017】図7は、半導体集積回路（半導体チップ）内での、従来の階調電圧生成回路のレイアウトを示す図である。従来の階調電圧生成回路は、アルミニウム等で形成される階調電圧配線層19と、当該階調電圧配線層19の下に層間絶縁膜を介して、拡散抵抗膜等により形成される抵抗配線層20と、この階調電圧配線層19と抵抗配線層20とを接続するコンタクトホール21で構成される。デコーダ200および出力アンプ回路210の入力インピーダンスは、高インピーダンスであり、定常電流は流れないので、従来の抵抗分圧回路では、定常的に流れる定常電流は、抵抗配線層20の各階調基準電圧間となる。この場合に、各階調基準電圧間に接続される各抵抗素子の抵抗値は、電流経路となる抵抗配線層20の配線長（L）／抵抗配線層20の配線幅（W）＊抵抗配線層20のシート抵抗値で決定される。しかしながら、従来の抵抗分圧回路では、コンタクトホール21が、抵抗配線層20の電流経路内に設けられている。そのため、コンタクトホール21のコンタクト径の製造ばらつき等により、抵抗配線層20の配線長（L）にばらつきが生じ、これにより、抵抗分圧回路の各抵抗値にもばらつきが生じ、抵抗分圧回路で生成される階調電圧がばらついてしまう。そして、256階調の階調電圧を生成する場合に、各階調電圧の電圧差は極めて小さいので、この抵抗配線層20の配線長（L）のばらつきにより生じる階調電圧のばらつきによる影響は大きく、これにより、液晶表示パネル10の表示画面の表示品質が損なわれることになる。さらに、抵抗配線層20の電流経路内にコンタクトホール21を形成しているために、コンタクトホール21のコンタクト面積に制限があり、コンタクト面積を小さくする必要があり、出力アンプ回路210への伝達特性に遅延が生じる。

【0018】図8は、半導体集積回路（半導体チップ）内での、本実施の形態の階調電圧生成回路のレイアウトを示す図である。図9は、図8に示すA-A'切断線に沿った断面構造を示す断面図である。本実施の形態の階調電圧生成回路も、アルミニウム等で形成される階調電圧配線層19と、当該階調電圧配線層19の下に層間絶縁膜22を介して、ポリシリコンまたは拡散抵抗膜等により形成される抵抗配線層20と、この階調電圧配線層19と抵抗配線層20とを接続するコンタクトホール21で構成される。しかしながら、本実施の形態では、抵抗配線層20に突出部23を設け、この突出部23に、階調電圧配線層19と抵抗配線層20とを接続するコンタクトホール21を形成するようにしている。即ち、本実施の形態では、抵抗配線層20の電流経路外にコンタクトホール21を形成するようにしている。この場合に、抵抗分圧回路を流れる定常電流は、抵抗配線層23内の最短経路を流れ、抵抗配線層20の外側となる突出

部23には流れない。そのため、本実施の形態では、コンタクトホール21のコンタクト径の製造ばらつき等により、抵抗配線層20の配線長(L)にばらつきが生じることがないので、抵抗分圧回路の各抵抗値にばらつきが生じることがない。従って、抵抗分圧回路で生成される階調電圧にばらつきが生じることがなく、液晶表示パネル10の表示画像の表示品質を向上させることができる。さらに、コンタクトホール23のコンタクト面積にも制限がないため、コンタクト面積を従来よりも拡大することができ、出力アンプ回路210への伝達特性に遅延が生じるのを防止することができる。

【0019】図10は、従来のバイアス回路の基本回路構成の一例を示す回路図である。図10に示すバイアス回路は、カレントミラー回路を構成するp型MOSトランジスタ(以下、単に、PMOSと称する。)(M2、M3)と、PMOS(M2)に縦続接続されるn型MOSトランジスタ(以下、単に、NMOSと称する。)(M1)と、PMOS(M3)に縦続接続されるNMOS(M5)とで構成される。ここで、NMOS(M1)のゲートにはVBのバイアス電圧が印加され、このバイアス電圧(VB)により決定される電流( $i_o$ )が、PMOS(M2、M3)で構成されるカレントミラー回路で折り返されて、電流( $i_a$ )となり、NMOS(M5)を流れる。また、NMOS(M5)のゲート電圧(VG)が、出力アンプ回路210内の定電流源を構成するNMOSのゲートに印加される。ここで、NMOS(M5)は、ゲートとドレインとが共通に接続されているので、このNMOS(M5)と、出力アンプ回路210内の定電流源を構成するNMOSとはカレントミラー回路を構成する。従って、出力アンプ回路210内の定電流源を構成するNMOSには、バイアス電圧(VB)により決定される電流( $i_o$ )により決定される電流が流れることになる。しかしながら、従来のバイアス回路は、電源電圧として、ドレインドライバ130の電源電圧(VDD)が印加され、この電源電圧(VDD)が高電圧であるため、高耐圧MOSトランジスタで構成する必要があった。しかしながら、前記したように、高耐圧MOSトランジスタは、一般的に耐圧確保のため、ゲート酸化膜の膜厚が大きく、さらに、電解緩和領域が必要のため、MOSトランジスタ素子のばらつき(しきい値電圧等)が、低耐圧のMOSトランジスタに対して大きい。このため、ドレインドライバ130毎に、バイアス回路から、アンプ回路を構成する差動増幅器の定電流源へ供給する電流値にばらつきが生じ、液晶表示パネル10の表示画像に、ドレインドライバ130毎に輝度むらが発生する恐れがあり、液晶表示パネル10の表示画像の表示品質を損なわせるという問題点があった。これを防止するためには、図11に示すように、電源電圧として、ドレインドライバ130に入力されるデジタル信号の電圧(VCC)を使用し、耐圧の低いMOSトラン

ジスタでバイアス回路を構成することが考えられる。しかしながら、低消費電力化および低EMI化のために、ドレインドライバ130に入力されるデジタル電圧の電圧範囲を小さくなっており、そのため、前記したようなバイアス回路では、各MOSトランジスタの飽和動作状態を満たすことができなくなり、カレントミラー回路の特性が失われてしまうという問題点があった。

【0020】図12は、本実施の形態のバイアス回路の基本回路構成の一例を示す回路図である。図12に示すバイアス回路は、NMOS(M1、M5)として低耐圧MOSトランジスタを使用し、PMOS(M2)とNMOS(M1)との間に、高耐圧のNMOS(Mo1)を、また、PMOS(M3)とNMOS(M5)との間に、高耐圧のNMOS(Mo2)を接続した点で、図11に示すバイアス回路と相違する。ここで、NMOS(Mo1、Mo2)のゲートには、GNDの電源電圧とVDDの電源電圧とを、分圧抵抗により分圧したVCの一定の電圧が印加される。このとき、NMOS(M1)のドレイン電圧(即ち、NMOS(Mo1)のソース電圧は、 $V_C - V_{th}(Mo1)$ 程度となる。ここで、 $V_{th}(Mo1)$ は、NMOS(Mo1)のしきい値電圧である。従って、 $V_o - V_{th}(Mo1)$ を、NMOS(M1)の耐圧の範囲内の電圧となるように、VCの電圧を設定すれば、電流値を決定するNMOS(M1)には、低耐圧のMOSトランジスタを使用することが可能となる。一般に、低耐圧のMOSトランジスタの耐圧は、5V以下であるので、( $V_o - V_{th}(Mo1)$ )の電圧範囲を5V以下とすればよい。なお、NMOS(Mo2)は、出力アンプ回路210の回路構成にあわせて、バイアス出力段に低耐圧MOSトランジスタが必要であるため設けているが、出力アンプ回路210の回路構成として低耐圧MOSトランジスタが必要なければ、このNMOS(Mo2)は必要ない。一般に、低耐圧のMOSトランジスタでは、しきい値電圧等のトランジスタ素子のばらつきが小さいので、本実施の形態では、バイアス回路から出力アンプ回路210を構成する差動増幅器の定電流源へ供給する電流値にばらつきが生じることがなく、そのため、液晶表示パネル10の表示画像の表示品質を向上させることができる。

【0021】図13は、本実施の形態のバイアス回路の基本回路構成の他の例を示す回路図である。図13に示すバイアス回路は、カレントミラー回路を2段構成した回路である。この図13に示す回路において、NMOS(M4)とNMOS(M5)のサイズが同一で、NMOS(M4)のゲート電圧を $V_o$ 、NMOS(M5)のゲート電圧を $2V_o$ とし、NMOS(M1、M4、M5)のしきい電圧がすべて同じであるとすると、各NMOS(M1、M4、M6)に流れる電流は下記(1)式で表される。

【0022】



【数1】

$$\begin{aligned} i_o &= \beta_1 (V_B - V_{th}) / 2 \\ i_o' &= \beta_5 (V_o - V_{th}) / 2 \\ i_a &= \beta_6 (V_o - V_{th}) / 2 \end{aligned} \quad \dots \dots \dots (1)$$

ここで、 $\beta$ は定数であり、 $\beta_1 : \beta_5 = 1 : 4$ とすることにより、電流( $i_a$ )の電流値が、NMOS (M1, M4, M5) のしきい値電圧の影響を受けなくすることができる。

【0023】ドット反転駆動法では、出力アンプ回路210は、正極性の階調電圧を増幅する高電圧アンプ回路と、負極性の階調電圧を増幅する低電圧アンプ回路とで構成される。

【0024】図14は、正極性の階調電圧を増幅する高電圧アンプ回路の基本回路構成を示す回路図であり、図15は、負極性の階調電圧を増幅する低電圧アンプ回路の基本回路構成を示す回路図である。図14、図15に示すアンプ回路はともに、差動増幅器で構成される。この図14、図15に示すアンプ回路に、バイアス電流を供給するための、図13に示す基本バイアス回路を使用するバイアス回路を図16に示す。図16に示すバイアス電圧( $V_{GN}$ )が、図14に示す差動増幅回路のバイアス電圧として、また、図16に示すバイアス電圧( $V_{GP}$ )が、図15に示す差動増幅回路のバイアス電圧としてそれぞれ供給される。このバイアス回路では、電流( $i_{Hn}$ ,  $i_{Lp}$ )は、NMOS (M1, M6) でほぼ\*

\*決定されるので、このNMOS (M1, M6) には、トランジスタ素子のばらつきの少ない低耐圧MOSトランジスタで構成している。このために、低耐圧のNMOS (Mo1, Mo2, Mo3, Mo4, M11) が、それぞれの電流ラインに追加されている。

【0025】図17は、本実施の形態のバイアス回路の基本回路構成の他の例を示す回路図である。この図17に示すバイアス回路は、NMOS (M1, M5) として低耐圧MOSトランジスタを使用し、PMOS (M2) とNMOS (M1) との間に、ダイオード接続された高耐圧のNMOS (Mo1) を、また、PMOS (M3) とNMOS (M5) との間に、ダイオード接続された高耐圧のNMOS (Mo2) を接続した点で、図13に示すバイアス回路と相違する。図17に示すバイアス回路では、NMOS (Mo1) のゲート電圧は、NMOS (Mo1) のドレイン電圧(即ち、PMOS (M2) のドレイン電圧)となる。この時、PMOS (M2) のドレイン電圧( $V_{gs}(M2)$ )は、下記(2)式で表される。

【0026】

【数2】

$$V_{gs}(M2) = \sqrt{(2 \cdot I_d \cdot L) / (\mu \cdot C_o \cdot W)} + V_{th}(M2)$$

【0027】ここで、 $I_d$ はPMOS (M2) のドレイン電流、 $L$ はPMOS (M2) のゲート長、 $\mu$ はPMOS (M2) の移動度、 $C_o$ はPMOS (M2) のゲート容量、 $W$ はPMOS (M2) のゲート幅、 $V_{th}(M2)$ はPMOS (M2) のしきい値電圧である。従って、NMOS (M1) のドレイン電圧(即ち、NMOS (Mo1) のソース電圧)は、 $V_{gs}(M2) - V_{th}(Mo1)$ となる。ここで、 $V_{th}(Mo1)$ は、NMOS (Mo1) のしきい値電圧である。

【0028】従って、 $V_{gs}(M2) - V_{th}(Mo1)$ を、NMOS (M1) の耐圧の範囲内の電圧となるようにすれば、電流値を決定するNMOS (M1) には、低耐圧のMOSトランジスタを使用することが可能となる。一般に、低耐圧のMOSトランジスタの耐圧は、5V以下であるので、( $V_o - V_{th}(Mo1)$ )の電圧範囲を5V以下とすればよい。さらに、NMOS (M1) のドレイン電圧( $V_{gs}(M2) - V_{th}(Mo1)$ )が大きすぎる場合には、NMOS (Mo1) と同じMOSトランジスタを直列に追加して調整すればよい。例えば、NMOS (Mo1) とNMOS (Mo1a) とを2個直列に追加した回路構成を図18に示す。この図17に示すバイアス回路において、図13と同

様、カレントミラー回路を2段構成とすることもでき、その場合の回路構成を図19に示す。前記図14、図15に示すアンプ回路に、バイアス電流を供給するための、図17に示す基本バイアス回路を使用するバイアス回路を図20に示す。図20に示すバイアス電圧( $V_{GN}$ )が、図14に示す差動増幅回路のバイアス電圧として、また、図16に示すバイアス電圧( $V_{GP}$ )が、図15に示す差動増幅回路のバイアス電圧としてそれぞれ供給される。このバイアス回路でも、電流( $i_{Hn}$ ,  $i_{Lp}$ )は、NMOS (M1, M6) でほぼ決定されるので、このNMOS (M1, M6) には、トランジスタ素子のばらつきの少ない低耐圧MOSトランジスタで構成している。このために、低耐圧のNMOS (Mo1, Mo2, Mo3, Mo4, M11) が、それぞれの電流ラインに追加されている。以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0029】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。

【0030】(1) 本発明の液晶表示装置によれば、液晶表示素子に表示される表示画像の表示品質を向上させることが可能となる。

(2) 本発明の液晶表示装置によれば、階調電圧生成手段で生成される各階調電圧にばらつきが生じるの防止することが可能となる。

(3) 本発明の液晶表示装置によれば、バイアス回路内に低耐圧MOSトランジスタを使用できるので、アンプ回路の定電流源の電流値を各映像信号線駆動手段毎に均

一にすることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】 図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】 図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】 図1に示す内部電源回路の概略構成を示すブロック図である。

【図5】 図1に示すドレインドライバの一例の概略構成を示すブロック図である。

【図6】 図1に示す正極性階調電圧生成回路あるいは負極性階調電圧生成回路の回路構成を示す回路図である。

【図7】 半導体集積回路(半導体チップ)内での、従来の階調電圧生成回路のレイアウトを示す図である。

【図8】 半導体集積回路(半導体チップ)内での、本実施の形態の階調電圧生成回路のレイアウトを示す図である。

【図9】 図8に示すA-A'切断線に沿った断面構造を示す断面図である。

【図10】 従来のバイアス回路の基本回路構成の一例を示す回路図である。

【図11】 従来のバイアス回路の基本回路構成の他の例を示す回路図である。

【図12】 本実施の形態のバイアス回路の基本回路構成の一例を示す回路図である。

【図13】 本実施の形態のバイアス回路の基本回路構成の他の例を示す回路図である。

16

\*【図14】 正極性の階調電圧を増幅する高電圧アンプ回路の基本回路構成を示す回路図である。

【図15】 負極性の階調電圧を増幅する低電圧アンプ回路の基本回路構成を示す回路図である。

【図16】 図14、図15に示すアンプ回路に、バイアス電流を供給するための、図13に示す基本バイアス回路を使用するバイアス回路を示す回路図である。

【図17】 本実施の形態のバイアス回路の基本回路構成の他の例を示す回路図である。

10 【図18】 図17に示すバイアス回路において、NMOSトランジスタを2個直列に追加した回路構成を示す回路図である。

【図19】 図17に示すバイアス回路において、カレントミラー回路を2段構成した回路構成を示す回路図である。

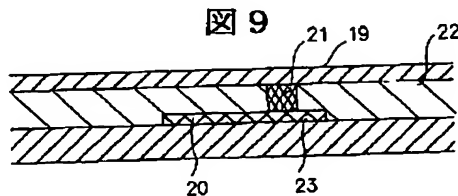
【図20】 図14、図15に示すアンプ回路に、バイアス電流を供給するための、図17に示す基本バイアス回路を使用するバイアス回路を示す回路図である。

【符号の説明】

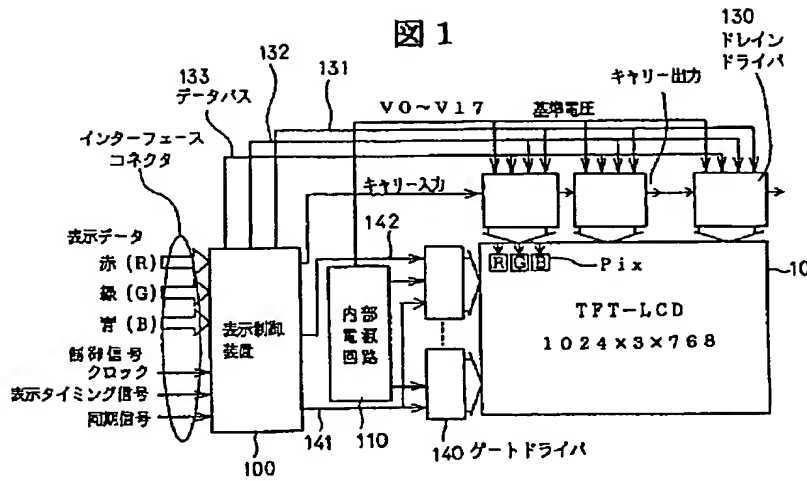
20 10…液晶表示パネル(TFT-LCD)、19…階調電圧配線層、20…抵抗配線層、21…コンタクトホール、22…層間絶縁膜、23…突出部、100…表示制御装置、110…内部電源回路、121、122…電圧生成回路、123…コモン電極電圧生成回路、124…ゲート電極電圧生成回路、130…ドレインドライバ、131、132、141、142…信号線、133…表示データのバスライン、140…ゲートドライバ、151、152…階調電圧生成回路、153…ラッチアドレスセクタ、154…ラッチ回路(1)、155…ラッチ回路(2)、156、200…デコーダ回路、157、210…出力アンプ回路、158…バイアス回路、159…クロック制御回路、160…データ反転回路、D…ドレイン信号線(映像信号線または垂直信号線)、G…ゲート信号線(走査信号線または水平信号線)、ITO1…画素電極、ITO2…コモン電極(ITO2)、TFT…薄膜トランジスタ、CLC…液晶容量、CSTG…保持容量、Cadd…付加容量、M…MOSトランジスタ。

\*

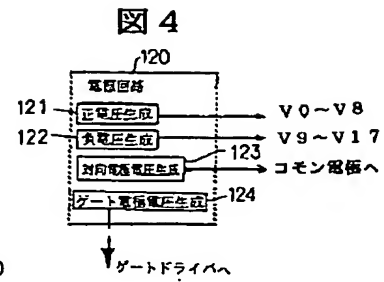
【図9】



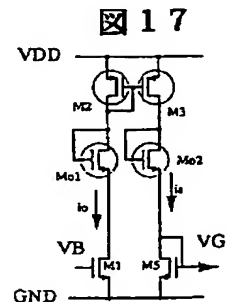
【図1】



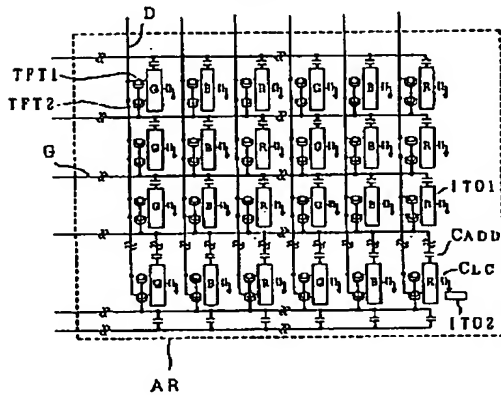
【図4】



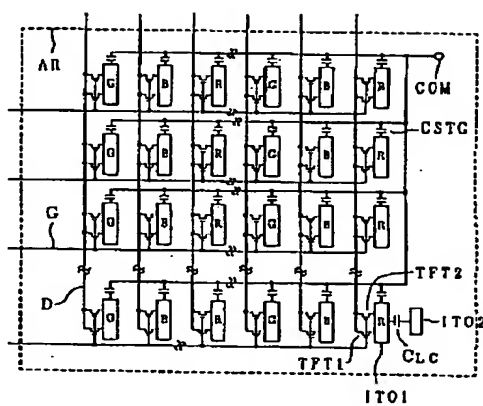
【図17】



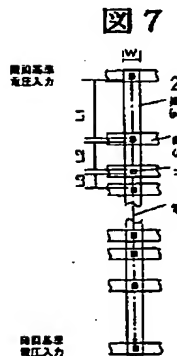
【図2】



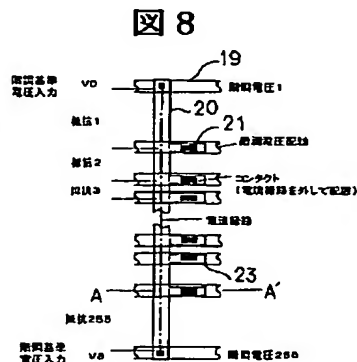
【図3】



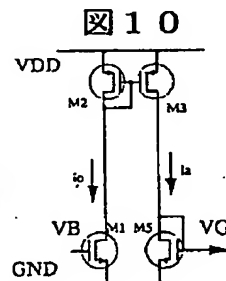
【図7】



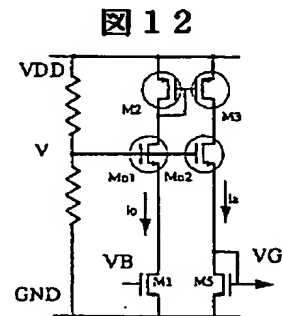
【図8】



【図10】

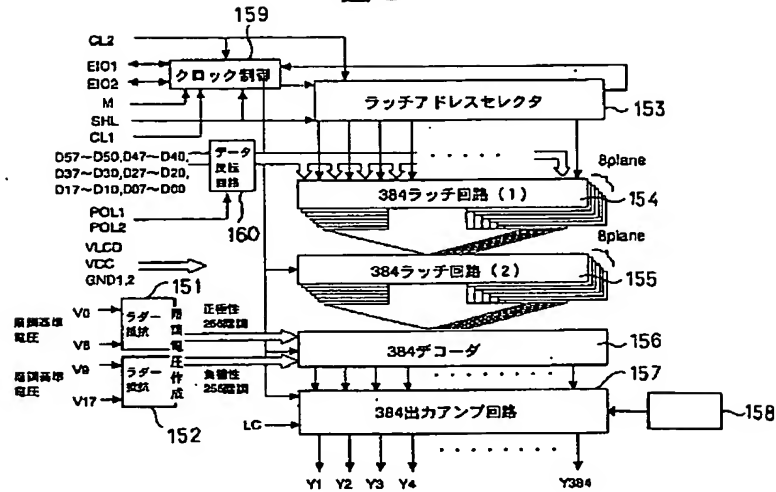


【図12】



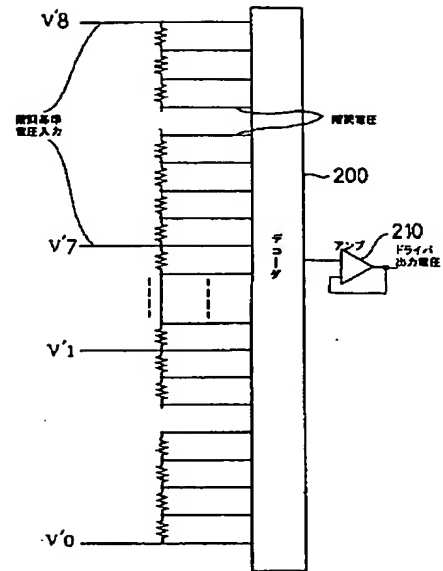
【図5】

図5

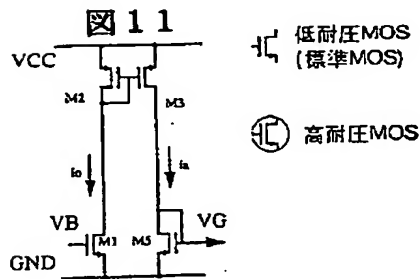


【図6】

図6

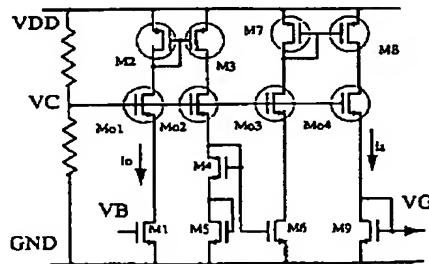


【図11】



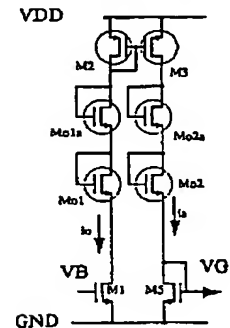
【図13】

図13



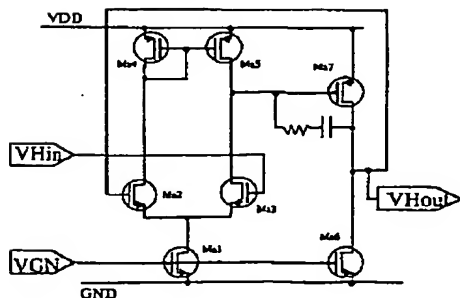
【図18】

図18



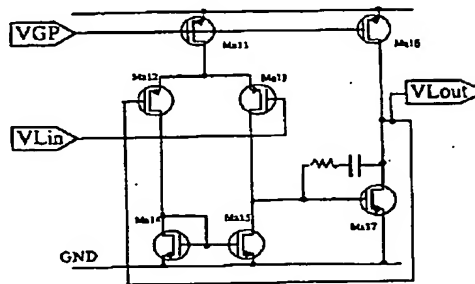
【図14】

図14



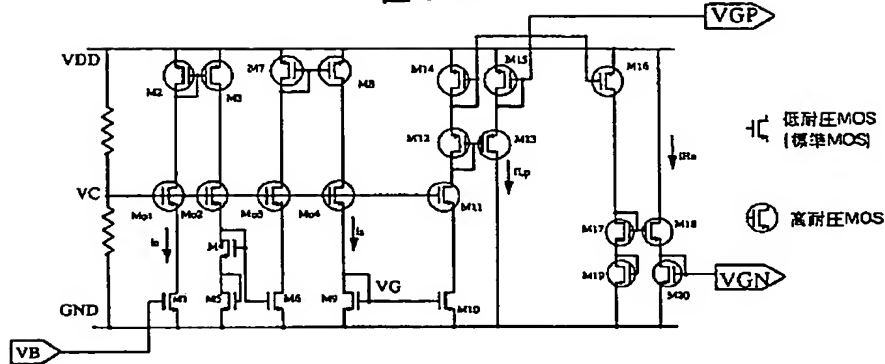
【図15】

図15



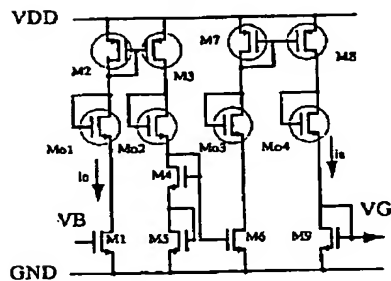
【図16】

図16



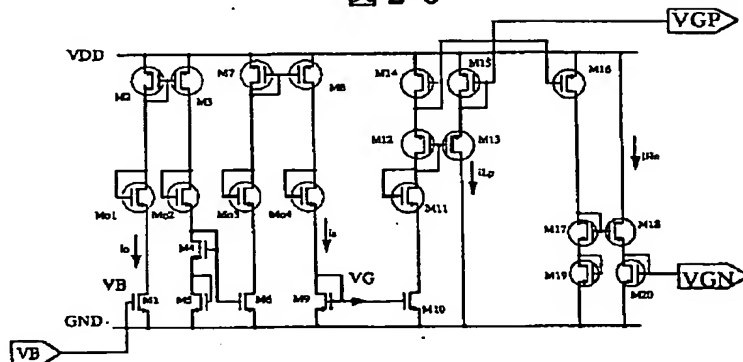
【図19】

図19



【図20】

図20



フロントページの続き

(72)発明者 後藤 充  
千葉県茂原市早野3300番地 株式会社日立  
製作所ディスプレイグループ内

(72)発明者 中安 洋三  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 安川 信治  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 縣 健太郎  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 山下 祐二  
千葉県茂原市早野3300番地 株式会社日立  
製作所ディスプレイグループ内

(72)発明者 小寺 浩一  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

F ターム(参考) 2H093 NA16 NA31 NA53 NC03 NC21  
NC34 ND05 ND06 ND38  
5C006 AC02 AC21 AF64 BB16 BC06  
BC11 BF34 BF43 EA03 EC05  
FA25 FA26 FA47  
5C080 AA10 BB05 CC03 DD05 DD30  
EE29 FF09 JJ03 KK02 KK10  
KK52

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第2区分  
 【発行日】平成15年6月13日(2003.6.13)

【公開番号】特開2001-67048(P2001-67048A)  
 【公開日】平成13年3月16日(2001.3.16)  
 【年通号数】公開特許公報13-671  
 【出願番号】特願平11-244245  
 【国際特許分類第7版】

G09G 3/36  
 G02F 1/133 550  
 G09G 3/20 612  
 623

【F I】

G09G 3/36  
 G02F 1/133 550  
 G09G 3/20 612 F  
 623 B

【手続補正書】

【提出日】平成15年2月28日(2003.2.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリクス状に配置される複数の画素と、  
 前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、  
 前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、  
 前記映像信号線駆動手段は、外部から入力される複数の階調基準電圧に基づき複数の階調電圧を生成する階調電圧生成手段と、  
 前記階調電圧生成手段で生成された複数の階調電圧の中から、表示データに対応する映像信号電圧を選択する選択手段とを有し、  
 前記階調電圧生成手段は、前記複数の階調基準電圧間を分圧して前記複数の階調電圧を生成する抵抗分圧回路を有し、  
 前記抵抗分圧回路は、前記各階調電圧が出力される複数の階調電圧配線層と、  
 抵抗配線層と、  
 前記各階調電圧配線層と前記抵抗配線層とを絶縁する層間絶縁膜と、  
 前記層間絶縁膜に設けられ、前記各階調電圧配線層と前

記抵抗配線層とを接続する接続部とで構成され、  
 前記接続部は、前記抵抗配線層の電流経路以外の部分に設けられることを特徴とする液晶表示装置。

【請求項2】前記抵抗配線層は、前記抵抗分圧回路の各抵抗素子を構成する部分と、  
 前記接続部が設けられる突出部とを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】マトリクス状に配置される複数の画素と、  
 前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、  
 前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、  
 前記映像信号線駆動手段は、表示データに対応する映像信号電圧を増幅して前記各映像信号線に出力する複数のアンプ回路と、  
 前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、  
 前記バイアス回路のカレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと、第2の基準電源電圧が供給される第2の電源ラインとの間に接続される、第1導電型で低耐圧の第1のトランジスタ素子と、第2導電型で高耐圧の第2のトランジスタ素子と、  
 前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続され、その制御電極に一定のバイアス電圧が印加される少なくとも1個の第1導電型のトランジスタ素子からなる直列回路を有し、  
 前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧との間の電圧であることを特徴



とする液晶表示装置。

【請求項4】 前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧とを、分圧回路により分圧した電圧であることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 マトリクス状に配置される複数の画素と、  
前記各画素に表示データに対応する映像信号電圧を印加する複数の映像信号線とを有する液晶表示素子と、  
前記各映像信号線に表示データに対応する映像信号電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、  
前記映像信号線駆動手段は、表示データに対応する映像信号電圧を増幅して前記各映像信号線に出力する複数のアンプ回路と、  
前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、  
前記バイアス回路のカレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと、第2の基準電源電圧が供給される第2の電源ラインとの間に接続される、第1導電型で低耐圧の第1のトランジスタ素子と、第2導電型で高耐圧の第2のトランジスタ素子と、前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続される少なくとも1個の第1導電型のトランジスタ素子からなる直列回路を有し、前記少なくとも1個の第1導電型のトランジスタ素子は、その制御電極が第2の電極に接続されていることを特徴とする液晶表示装置。

【請求項6】 マトリクス状に配置される複数の画素と、  
前記複数の画素の各々に、表示データに対応する映像信号電圧を印加する為の複数の映像信号線を有する液晶表示素子と、  
前記複数の映像信号線の各々に前記映像信号電圧を供給する映像信号線駆動回路とを具備する液晶表示装置であって、  
前記映像信号線駆動回路は、外部から入力される複数の階調基準電圧間を分圧して、複数の階調電圧を生成する抵抗分圧回路を備えた階調電圧生成回路と、  
前記複数の階調電圧の中から、前記表示データに対応する映像信号電圧を選択する選択回路とを有し、  
前記抵抗分圧回路は、前記複数の階調基準電圧間を分圧し前記複数の階調電圧を生成する為の複数の中間タップを備えた抵抗体と、  
前記複数の階調電圧の各々を、前記複数の中間タップの中の対応するものから出力するための複数の階調電圧配線と、  
前記複数の階調電圧配線と前記抵抗体とを絶縁する層間絶縁膜と、  
前記複数の階調電圧配線の各々と前記複数の中間タップ

の中の対応するものとを、前記層間絶縁膜を通り抜けて接続する接続部とを備え、

前記接続部が、前記抵抗体を流れる電流の経路以外の部分に配設されていることを特徴とする液晶表示装置。

【請求項7】 前記複数の中間タップが前記抵抗体に突出部を形成し、前記接続部が前記突出部に形成されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】 マトリクス状に配置される複数の画素と、  
前記複数の画素の各々に、表示データに対応する映像信号電圧を印加する為の複数の映像信号線を有する液晶表示素子と、  
前記複数の映像信号線の各々に前記映像信号電圧を供給する映像信号線駆動回路とを具備する液晶表示装置であって、

前記映像信号線駆動回路は、外部から入力される複数の階調基準電圧間を分圧して、複数の階調電圧を生成する抵抗分圧回路を備えた階調電圧生成回路と、

前記複数の階調電圧の中から、前記表示データに対応する映像信号電圧を選択する選択回路とを有し、

前記抵抗分圧回路は、前記複数の階調基準電圧間を分圧し前記複数の階調電圧を生成する為の複数の中間タップを備えた抵抗体と、

前記複数の階調電圧の各々を、前記複数の中間タップの中の対応するものから出力するための複数の階調電圧配線と、

前記複数の階調電圧配線と前記抵抗体とを絶縁する層間絶縁膜と、

前記層間絶縁膜に設けられ、前記複数の階調電圧配線の各々と前記複数の中間タップの中の対応するものとを接続する接続部とを備え、

前記複数の中間タップが、前記複数の階調電圧配線の延在方向に延在する抵抗体突出部によって形成され、

前記接続部が、前記突出部に形成されていることを特徴とする液晶表示装置。

【請求項9】 マトリクス状に配置される複数の画素と、

前記複数の画素の各々に、表示データに対応する映像信号電圧を印加する為の複数の映像信号線を有する液晶表示素子と、

前記複数の映像信号線の各々に前記映像信号電圧を供給する映像信号線駆動回路とを具備する液晶表示装置であって、

前記映像信号線駆動回路は、前記複数の映像信号線の中の対応するものに、前記映像信号電圧を出力する複数のアンプ回路と、

前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、

前記カレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと第2の基準電源電圧が供給さ

れる第2の電源ラインとの間に、第1の導電型で低耐圧の第1のトランジスタ素子と、

前記第1のトランジスタ素子と直列に接続される、第2の導電型で、前記第1のトランジスタ素子より高耐圧の第2のトランジスタ素子と、

前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続され、前記第1のトランジスタ素子より高耐圧で、その制御電極に一定のバイアス電圧が印加される少なくとも1個の第1の導電型の第3のトランジスタ素子とを有し、前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧との間の電圧であることを特徴とする液晶表示装置。

【請求項10】 前記一定のバイアス電圧は、前記第1の基準電源電圧と前記第2の基準電源電圧とを、分圧回路により分圧した電圧であることを特徴とする請求項9に記載の液晶表示装置。

【請求項11】 マトリクス状に配置される複数の画素と、

前記複数の画素の各々に、表示データに対応する映像信号電圧を印加する為の複数の映像信号線を有する液晶表示素子と、

前記複数の映像信号線の各々に前記映像信号電圧を供給する映像信号線駆動回路とを具備する液晶表示装置であって、

前記映像信号線駆動回路は、前記複数の映像信号線の中に対応するものに、前記映像信号電圧を出力する複数のアンプ回路と、

前記複数のアンプ回路内の定電流源の電流値を制御するカレントミラー回路を含むバイアス回路とを有し、

前記カレントミラー回路は、第1の基準電源電圧が供給される第1の電源ラインと第2の基準電源電圧が供給される第2の電源ラインとの間に、第1の導電型で低耐圧の第1のトランジスタ素子と、

前記第1のトランジスタ素子と直列に接続される、第2の導電型で、前記第1のトランジスタ素子より高耐圧の第2のトランジスタ素子と、

前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続される、前記第1のトランジスタ素子より高耐圧の少なくとも1個の第1導電型の第3のトランジスタ素子とを有し、

前記第3のトランジスタ素子の制御電極が、前記第2のトランジスタ素子に接続される前記第3のトランジスタ素子の端子に接続されていることを特徴とする液晶表示装置。

【請求項12】 マトリクス状に配置される複数の画素と、

前記複数の画素の各々に、表示データに対応する映像信号電圧を印加する為の複数の映像信号線を有する液晶表示素子と、

前記複数の映像信号線の各々に前記映像信号電圧を供給

する映像信号線駆動回路とを具備する液晶表示装置であって、

前記映像信号線駆動回路は、前記複数の映像信号線の中に対応するものに、前記映像信号電圧を出力する複数のアンプ回路と、

前記複数のアンプ回路内の定電流源の電流値を制御するバイアス回路とを有し、

前記バイアス回路は、(a) 第1の導電型で低耐圧の第1のトランジスタ素子と、前記第1のトランジスタ素子と直列に接続される、第2の導電型で、前記第1のトランジスタ素子より高耐圧の第2のトランジスタ素子と、前記第1のトランジスタ素子と前記第2のトランジスタ素子との間に接続され、前記第1のトランジスタ素子より高耐圧の少なくとも1個の第3のトランジスタ素子とからなり、前記第3のトランジスタ素子に接続される前記第2のトランジスタ素子の端子と前記第2のトランジスタ素子の制御電極とが電気的に接続され、前記第1のトランジスタ素子の制御電極にバイアス電圧が印加される様、第1の基準電源電圧が供給される第1の電源ラインと第2の基準電源電圧が供給される第2の電源ラインとの間に形成された第1の直列回路と、(b) 第1の導電型で低耐圧の第4のトランジスタ素子と、前記第4のトランジスタ素子と直列に接続される、第2の導電型で、前記第4のトランジスタ素子より高耐圧の第5のトランジスタ素子と、

前記第4のトランジスタ素子と前記第5のトランジスタ素子との間に接続され、前記第4のトランジスタ素子より高耐圧の少なくとも1個の第6のトランジスタ素子とからなり、前記第5のトランジスタ素子の制御電極が前記第2のトランジスタ素子の前記制御電極に接続され、前記第6のトランジスタ素子に接続される前記第4のトランジスタ素子の端子と前記第4のトランジスタ素子の制御電極とが電気的に接続され、前記第4のトランジスタ素子の制御電極から出力が取り出される様、前記第1の電源ラインと前記第2の電源ラインとの間に形成された第2の直列回路とを備え、

前記少なくとも1個の第3のトランジスタ素子の制御電極と前記少なくとも1個の第6のトランジスタ素子の制御電極に、前記第1の基準電源電圧と前記第2の基準電源電圧の中間の電圧が印加されることを特徴とする液晶表示装置。

【請求項13】 マトリクス状に配置される複数の画素と、

前記複数の画素の各々に、表示データに対応する映像信号電圧を印加する為の複数の映像信号線を有する液晶表示素子と、

前記複数の映像信号線の各々に前記映像信号電圧を供給する映像信号線駆動回路とを具備する液晶表示装置であって、

前記映像信号線駆動回路は、前記複数の映像信号線の中

の対応するものに、前記映像信号電圧を出力する複数の  
アンプ回路と、

前記複数のアンプ回路内の定電流源の電流値を制御する  
バイアス回路とを有し、

前記バイアス回路は、(a)第1の導電型で低耐圧の第  
1のトランジスタ素子と、

前記第1のトランジスタ素子と直列に接続される、第2  
の導電型で、前記第1のトランジスタ素子より高耐圧の  
第2のトランジスタ素子と、

前記第1のトランジスタ素子と前記第2のトランジスタ  
素子との間に接続され、前記第1のトランジスタ素子よ  
り高耐圧の少なくとも1個の第3のトランジスタ素子と  
からなり、前記第3のトランジスタ素子に接続される前  
記第2のトランジスタ素子の端子と前記第2のトランジ  
スタ素子の制御電極とが電氣的に接続され、前記第1の  
トランジスタ素子の制御電極にバイアス電圧が印加され  
る様、第1の基準電源電圧が供給される第1の電源ライン  
と第2の基準電源電圧が供給される第2の電源ライン  
との間に形成された第1の直列回路と、(b)第1の導  
電型で低耐圧の第4のトランジスタ素子と、

前記第4のトランジスタ素子と直列に接続される、第2

の導電型で、前記第4のトランジスタ素子より高耐圧の  
第5のトランジスタ素子と、

前記第4のトランジスタ素子と前記第5のトランジスタ  
素子との間に接続され、前記第4のトランジスタ素子よ  
り高耐圧の少なくとも1個の第6のトランジスタ素子と  
からなり、前記第5のトランジスタ素子の制御電極が前  
記第2のトランジスタ素子の前記制御電極に接続され、  
前記第6のトランジスタ素子に接続される前記第4のト  
ランジスタ素子の端子と前記第4のトランジスタ素子の  
制御電極とが電氣的に接続され、前記第4のトランジス  
タ素子の制御電極から出力が取り出される様、前記第1  
の電源ラインと前記第2の電源ラインとの間に形成され  
た第2の直列回路とを備え、

前記少なくとも1個の第3のトランジスタ素子の制御電  
極が、前記第2のトランジスタ素子に接続される前記第  
3のトランジスタ素子の端子に接続され、

前記少なくとも1個の第6のトランジスタ素子の制御電  
極が、前記第5のトランジスタ素子に接続される前記第  
6のトランジスタ素子の端子に接続されることを特徴と  
する液晶表示装置。